



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Patent Application of:)
RIMI ET AL.)
Serial No. 10/768,400)
Confirmation No. 3790)
Filing Date: JANUARY 30, 2004)
For: PROCESS AND DEVICE FOR)
SYNCHRONIZATION AND CODEGROUP)
IDENTIFICATION IN CELLULAR)
COMMUNICATION SYSTEMS AND)
COMPUTER PROGRAM THEREFOR)

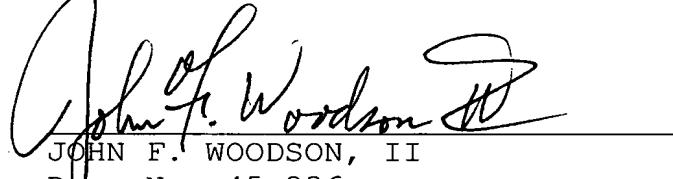
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

MS Missing Parts
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Transmitted herewith is a certified copy of the priority European Application No. 03425058.9.

Respectfully submitted,


JOHN F. WOODSON, II
Reg. No. 45,236
Allen, Dyer, Doppelt, Milbrath & Gilchrist, P.A.
255 S. Orange Avenue, Suite 1401
Post Office Box 3791
Orlando, Florida 32802
Telephone: 407/841-2330
Fax: 407/841-2343
Attorney for Applicants

CERTIFICATE OF MAILING

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail in an envelope addressed to: MS Missing Parts, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450, on this 30th day of June, 2004.



THIS PAGE BLANK (USPTO)



Europäisches
Patentamt

European
Patent Office

Office européen
des brevets

Bescheinigung

Certificate

Attestation

Die angehefteten Unterlagen stimmen mit der ursprünglich eingereichten Fassung der auf dem nächsten Blatt bezeichneten europäischen Patentanmeldung überein.

The attached documents are exact copies of the European patent application described on the following page, as originally filed.

Les documents fixés à cette attestation sont conformes à la version initialement déposée de la demande de brevet européen spécifiée à la page suivante.

Patentanmeldung Nr. Patent application No. Demande de brevet n°

03425058.9

Der Präsident des Europäischen Patentamts;
im Auftrag

For the President of the European Patent Office
Le Président de l'Office européen des brevets
p.o.

R C van Dijk

THIS PAGE BLANK (USPTO)



Anmeldung Nr:
Application no.: 03425058.9
Demande no:

Anmelde tag:
Date of filing: 31.01.03
Date de dépôt:

Anmelder/Applicant(s)/Demandeur(s):

STMicroelectronics S.r.l.
Via C. Olivetti, 2
20041 Agrate Brianza (Milano)
ITALIE

Bezeichnung der Erfindung/Title of the invention/Titre de l'invention:
(Falls die Bezeichnung der Erfindung nicht angegeben ist, siehe Beschreibung.
If no title is shown please refer to the description.
Si aucun titre n'est indiqué se referer à la description.)

A process and device for synchronization and codegroup identification in cellular communication systems, computer program product therefor

In Anspruch genommene Priorität(en) / Priority(ies) claimed /Priorité(s) revendiquée(s)

Staat/Tag/Aktenzeichen/State/Date/File no./Pays/Date/Numéro de dépôt:

Internationale Patentklassifikation/International Patent Classification/
Classification internationale des brevets:

H04B7/26

Am Anmelde tag benannte Vertragstaaten/Contracting states designated at date of filing/Etats contractants désignées lors du dépôt:

AT BE BG CH CY CZ DE DK EE ES FI FR GB GR HU IE IT LU MC NL
PT SE SI SK TR LI

THIS PAGE BLANK (USPTO)

"Procedimento e dispositivo di sincronizzazione ed identificazione del cosiddetto codegroup in sistemi di comunicazione di tipo cellulare, relativo prodotto informatico"

5

Campo dell'invenzione

La presente invenzione si riferisce alle tecniche di telecomunicazione ed è stata sviluppata con particolare attenzione alla possibile applicazione ai sistemi di telecomunicazione basati sugli standard denominati CDMA/3GPP FDD e CDMA/3GPP TDD (tali sigle rappresentando rispettivi acronimi per Code Division Multiple Access/Third Generation Partnership Project, Frequency Division Duplex e Time Division Duplex).

Anche se nel seguito, per chiarezza e semplicità d'esposizione, si farà riferimento pressoché esclusivo a queste applicazioni, va in ogni modo tenuto presente che la portata dell'invenzione è più generale. La stessa è infatti applicabile a tutti i sistemi di telecomunicazioni in cui si manifestano condizioni di funzionamento del tipo di quelle descritte nel seguito: a titolo d'esemplificazione non esaustiva si possono citare i sistemi di telecomunicazione satellitare ed i sistemi cellulari mobili corrispondenti agli standard UMTS, CDMA2000, IS95 o WBCDMA.

Descrizione della tecnica nota

Per permettere l'acquisizione di una stazione base da parte di un terminale mobile incluso in un sistema di telecomunicazione basato sullo standard 3GPP FDD mode, TDD mode o similare, il relativo ricevitore necessita di mezzi in grado di svolgere la funzione di sincronizzazione di trama o frame e di identificazione del cosiddetto gruppo di codici (codegroup). La possibilità di realizzare tali funzioni è essenziale

per la realizzazione dei passi successivi nell'ambito del sistema di ricerca della cella (cell search).

In particolare, quando è acceso, un terminale mobile non ha alcuna conoscenza della temporizzazione della cella trasmittente su cui è destinato ad essere attestato. Lo standard 3 GPP propone quindi una procedura di "cell search" iniziale per acquisire il segnale della cella e sincronizzarsi con essa.

Tale procedura consta essenzialmente di tre passi:

- 10 - sincronizzazione di slot (primo passo),
- sincronizzazione di frame ed identificazione del "code group" ossia del gruppo dei codici di cella (secondo passo), e
- 15 - identificazione del codice di scrambling (terzo passo).

Nell'attuazione del secondo passo sopra descritto si suppone di aver in precedenza ottenuto la sincronizzazione di slot nel corso del primo passo.

Per ottenere a questo punto la sincronizzazione relativa al frame ed identificare il gruppo dei codici di cella, cui è associato l'offset della cella, nel secondo passo si utilizza il canale di sincronizzazione secondario (Secondary Synchronization CHannel o SSCH), sul quale vengono trasmessi, all'inizio di ogni slot, 25 codici o parole a 256 chip ("lettere").

I 16 codici complessi a 256 chip impiegati nello standard sono generati in base alle seguenti regole:

30 - una prima sequenza a chip rate (b) con periodo di ripetizione pari a 16 (cioè che si ripete ogni 16 elementi) è moltiplicata per una sequenza 16 volte più lenta secondo le due formule qui sotto riportate per ottenere la sequenza base z

$$z = \langle b, b, b, -b, b, b, -b, -b, b, -b, b, -b, -b, -b, -b, -b, -b, -b, -b \rangle$$

b = <1, 1, 1, 1, 1, 1, -1, -1, -1, 1, -1, 1, -1, 1, 1, -1>

La sequenza base z è poi moltiplicata elemento per
5 elemento con un codice di Hadamard di lunghezza 256
scelto in base alla seguente regola: definito con m il
numero identificativo del codice di sincronizzazione
secondario (Secondary Synchronization Code o SSC) da
generare, il numero di codice di Hadamard per cui
10 moltiplicare la sequenza z è pari a $16 \times (m-1)$, con m
che varia da 1 a 16.

La generazione dei codici di sincronizzazione SSC
per la modalità TDD è analoga a quella impiegata per la
modalità FDD, con la differenza che, in questo caso,
15 vengono impiegati solo dodici dei sedici codici SSC.

Inoltre, la modalità FDD e la modalità TDD si
differenziano per il modo in cui i codegroup sono
associati al contenuto del canale di sincronizzazione
secondario SSCH.

20 Nella modalità FDD, sul canale di sincronizzazione
secondario SSCH viene inviati un codice SSC per slot,
in 15 slot consecutivi. Le sequenze possibili indicate
dallo standard sono 64, appartenenti a un codice Reed-
Solomon ivi definito, e ognuna identifica un gruppo di
25 otto codici di scrambling primari, fra i quali il sopra
menzionato terzo passo della procedura di cell search
dovrà identificare il codice della cella sulla quale i
primi due passi della procedura si sono agganciati.

Nella modalità TDD, ogni slot che contiene il
30 canale SSCH contiene tre codici SSC. Secondo lo
standard, sono definiti quattro possibili insiemi o set
di tre codici, la cui combinazione e le relative fasi
definiscono i codegroup. Ogni codegroup identifica un
offset di slot fra l'inizio dello slot e l'inizio del
35 codice sul canale SSCH, quattro possibili midamboli

base a ciascuno dei quali è associato un codice di scrambling. Il terzo passo della procedura di cell search definisce quale midambolo è impiegato nel canale P-CCPCH (Primary Common Control Physical Channel).

5 In figura 1 è rappresentata schematicamente l'architettura di un circuito noto che implementa il primo e il secondo passo della procedura di cell search secondo.

10 Un segnale ricevuto r viene inviato in parallelo a un primo ramo 411 che implementa il primo passo della procedura di cell search e ad un secondo ramo 412 che implementa il secondo passo della procedura di cell search. Sia i circuiti del primo ramo 411, sia i circuiti del secondo ramo 412 operano sotto il controllo di un controllore, indicato con 403, che riceve i risultati delle loro elaborazioni.

15 Il primo ramo 411 comprende un filtro adattato 401 per effettuare la correlazione sul canale PSC (Primary Synchronization Channel), ponendolo in correlazione con una sequenza SG strutturata come prima sequenza gerarchica di Golay e quindi un successivo blocco indicato con 402 che implementa l'algoritmo del primo passo della procedura di cell search.

20 L'impiego di sequenze di Golay per svolgere funzioni di sincronizzazione in sistemi di tipo spread spectrum e CDMA è ben noto nella tecnica, così come testimoniato, ad esempio, da WO-A-0051392, WO-A-0054424, WO-A-0067404 e WO-A-0067405.

25 Il secondo ramo 412 comprende invece una sezione di correlazione 404, che opera sui codici secondari SSC e quindi è seguita da un blocco indicato con 405 che implementa l'algoritmo del secondo passo della procedura di cell search. Tale sezione di correlazione 404 è abilitata al funzionamento tramite un opportuno 30 segnale di abilitazione EN emesso dal controllore 403.

I circuiti che implementano il secondo passo di procedura di cell search per la modalità FDD, identificando la singola lettera, sono del tipo descritto schematicamente in figura 2, noto dalla 5 domanda di brevetto europea EP02425619.0 a nome della stessa Richiedente.

Tali circuiti comprendono perciò, come sezione di correlazione, in ingresso un banco di correlatori 10, all'uscita dei quali vengono fornite le energie 10 relative alle singole lettere. Dopo una possibile mascheratura con opportuni pesi, rappresentata da un blocco 12, le energie vengono sommate in un nodo 14 per poi essere memorizzate in un banco di registri 16, dove ogni riga rappresenta una delle parole del codice che 15 deve essere riconosciuto, mentre le colonne rappresentano i possibili punti di inizio frame in termini di slot, cioè 15 possibili punti di inizio. Con 18 è indicato un blocco essenzialmente costituito da un comparatore che consente di effettuare la ricerca del 20 valore massimo sul banco di memoria 16. Tutto questo in modo da definire sia il gruppo dei codici CD usato dalla cella attualmente in valutazione, sia l'inizio del frame espresso essenzialmente come offset di frame OF trasmesso dalla cella stessa: si tratta, in altre 25 parole, di una grandezza identificativa della sincronizzazione di frame con riferimento alla temporizzazione di slot ottenuta nel primo passo - non specificatamente illustrato nei disegni.

Dunque, il circuito di figura 2 impiega 30 sostanzialmente un banco di correlatori in parallelo o, in alternativa, un banco che esegue la Fast Hadamard Transform, per effettuare la correlazione.

Nella modalità TDD il secondo passo della procedura di cell search, viene invece, come detto, 35 eseguito, supponendo di aver acquisito e definito la

posizione del burst di sincronizzazione dal primo passo della procedura di cell search, nonché una prima sincronizzazione di slot, in modo da ottenere:

- 5 - la sincronizzazione di slot definendo l'offset fra l'inizio dello slot e la posizione del burst di sincronizzazione in esso;
- l'identificazione del codegroup; e
- ulteriori informazioni quali il cell parameter.

Per fare ciò viene impiegato il canale di sincronizzazione secondario SSCH, sul quale vengono trasmessi, nello slot di sincronizzazione e contemporaneamente al canale PSC, tre codici a 256 chip provenienti da un insieme di dodici codici complessi, sottoinsieme dei codici di sincronizzazione secondari SSC usati nella modalità FDD.

Per estrarre tutte le informazioni necessarie dal canale SSCH occorre correlare il segnale ricevuto con i possibili codici trasmessi sul canale SSCH, di questi occorre identificare la terna di codici con la più alta energia di correlazione e impiegare le loro fasi per definire in accordo con lo standard i relativi parametri di offset di slot, cioè la distanza temporale fra inizio slot e inizio del codice di sincronizzazione, codegroup e frame number (frame pari o dispari).

Quest'operazione è eseguita tramite un circuito che prevede come sezione di correlazione dodici filtri adattati in parallelo. Tale soluzione è schematicamente rappresentata nello schema della figura 3, dove il riferimento 20 indica un banco di dodici filtri FIR (Finite Impulse Response) complessi, i quali vengono accoppiati ai dodici possibili codici secondari di sincronizzazione SSC. I campioni del segnale ricevuto r sono inviati in ingresso al banco 20 di filtri FIR e alle dodici uscite del banco 20 si generano segnali

indicativi delle energie di correlazione relative a detti codici SSC. Questi segnali sono inviati a un sistema di rivelazione del valore massimo indicato con 21.

5 Il sistema di rivelazione del valore massimo 21 individua un numero dato (pari a tre) di codici SSC dotati di energia di correlazione più elevata, che sono inviati a un blocco di comparazione indicato con 22. Il blocco 22 effettua un'operazione di comparazione con 10 una tabella che riporta - in funzione delle possibili combinazioni degli sfasamenti della terna di codici SSC individuati - corrispondenti codegroup CD, offset di slot OS e frame number FN che sono poi forniti in uscita da detto blocco di comparazione 22.

15 In figura 4 è mostrata un'architettura alternativa per implementare il secondo passo della procedura di cell search nella modalità TDD, nota dalla domanda di brevetto italiana TO2002A001082 a nome della stessa Richiedente.

20 Il segnale ricevuto r va in ingresso a un blocco indicato con 110, che esegue una prima operazione di correlazione su una prima sequenza lunga 16 chip.

Il segnale ricevuto r in uscita dal blocco 110 viene inviato a un banco di correlatori 111, che 25 costituisce la sezione di correlazione. I campioni del segnale ricevuto r vengono inoltre memorizzati in un'unità di memoria 112.

Il banco di correlatori 111 comprende soltanto quattro circuiti correlatori, uno per ciascun code set. 30 Il banco 111 riceve infatti da un sistema di generazione di codici indicato con 113 quattro "primi" codici SSC, ciascuno appartenente ed identificativo di uno dei quattro code set possibili nell'ambito dell'insieme dei codici SSC.

I codici SSC in questione sono dodici in tutto e ciascun code set comprende un "primo" codice, identificativo dell'insieme o set, ed un sottoinsieme di codici rimanenti, che comprende i due altri codici del set.

L'operazione di correlazione svolta nel blocco 111 è quindi in grado di fornire in uscita una stima del code set ricevuto.

A tal proposito, un'unità di ricerca del valore massimo indicata con 114, riceve dal banco di correlatori 111 le energie relative ai quattro primi codici SSC forniti dal sistema e fornisce in uscita un primo codice SSC dotato della migliore energia di correlazione, con relativo sfasamento. In questo modo viene perciò identificato un code set CS cui detto primo codice SSC appartiene.

Il primo codice SSC e il suo sfasamento sono destinati ad essere avviati verso un blocco di comparazione 115, mentre l'informazione sul code set è inviata un controllore indicato con 116.

Il controllore 116 presiede al funzionamento del circuito e, in particolare, è destinato a fornire al sistema di generazione di codici 113 l'informazione sui quattro "primi" codici SSC da generare per individuare i quattro code set.

Sulla base del primo codice e del relativo code set CS identificato tramite la ricerca del massimo condotta nell'unità 114, il controllore 116 invia al sistema di generazione di codici 113 l'informazione su quali altri codici SSC si debbano generare per l'operazione di correlazione con il segnale ricevuto r, memorizzato nell'unità di memoria 112.

Tali altri codici sono semplicemente i due codici SSC restanti compresi nel sottoinsieme che completa il

code set corrispondente al primo codice selezionato tramite la ricerca condotta nell'unità 114.

A monte del banco 111 è previsto un multiplatore 120, il quale, pilotato dal controllore 116, seleziona 5 per l'invio al banco 111 l'uscita del blocco 110 oppure l'uscita dall'unità di memoria 112.

In questo modo, in un primo tempo, oltre ad essere memorizzato nell'unità 112, il segnale ricevuto r viene inviato direttamente al blocco 111 dove viene correlato 10 con i quattro "primi" codici identificativi dei quattro code set provenienti dal blocco 113.

In un secondo tempo, identificato - per effetto della ricerca svolta nell'unità 114 - il code set di riferimento, i campioni del segnale ricevuto r memorizzati nell'unità 112 possono essere inviati al blocco 111 per esser correlati con i due restanti codici del suddetto code set.

Il banco di correlatori 111 è dotato di una memoria del correlatore 121 nel quale viene 20 immagazzinato il primo codice SSC del code set rilevato.

Sulla base dell'informazione relativa al code set CS selezionato, il controllore 116 comanda il sistema di generazione di codici 113 in modo che questo generi 25 i due codici corrispondenti ai due codici mancanti a comporre la terna del code set CS, onde effettuare una correlazione con i campioni del segnale ricevuto r memorizzato nell'unità di memoria 112.

Il risultato di quest'operazione di correlazione 30 (svolta, per così dire, "riciclando" due dei correlatori contenuti nel banco 111) viene anch'esso fornito al blocco 115, dove si ricompone la terna di codici del code set CS utilizzabile - con le relative fasi - per la comparazione con le tavelle standard,

onde estrarre i parametri corrispondenti dalla tabella contenuta nel blocco di comparazione 115.

Le soluzioni secondo la tecnica nota mostrate nelle figure 1, 2, 3 e 4, dunque richiedono di allocare 5 una certa quantità di memoria e, conseguentemente, di area sul chip, con un conseguente consumo di potenza per implementare la sezione di correlazione per il secondo passo della procedura di cell search.

Scopi e sintesi dell'invenzione

10 La presente invenzione si prefigge lo scopo di realizzare una soluzione in grado di svolgere le funzioni descritte in precedenza in modo semplificato, così da poter realizzare ad esempio il secondo passo della procedura di cell search nonché una ricerca del 15 gruppo di codice e dell'offset per mezzo di un hardware semplificato, riducendo la complessità di calcolo e ottenendo una corrispondente riduzione della memoria richiesta e del consumo di potenza.

20 Secondo la presente invenzione, tale scopo viene raggiunto grazie ad un procedimento avente le caratteristiche richiamate in modo specifico nelle rivendicazioni che seguono. L'invenzione riguarda anche un corrispondente dispositivo, nonché il corrispondente prodotto informatico direttamente caricabile nella 25 memoria di un elaboratore numerico e comprendente porzioni di codice software per attuare il procedimento secondo l'invenzione quando il prodotto è eseguito su un elaboratore.

In sostanza, la soluzione secondo l'invenzione 30 prevede di semplificare i circuiti di elaborazione e la dimensione della corrispondente memoria riducendo inoltre la complessità del calcolo.

Nel contempo, la soluzione secondo l'invenzione permette di realizzare un circuito che permette una 35 comunanza di parti fra i sistemi FDD e TDD (versione a

3.84 Mcps) nell'ottica della realizzazione di sistemi compatti dual mode FDD/TDD

Rispetto alle soluzioni note, la soluzione qui proposta, basata su una tecnica di riciclo dei dati acquisiti è più semplice, occupa meno area e consuma meno potenza.

Breve descrizione dei disegni annessi

L'invenzione sarà ora descritta, a puro titolo di esempio non limitativo, con riferimento ai disegni annessi, nei quali:

- le figure 1, 2, 3 e 4, relative alla tecnica nota, sono già state descritte in precedenza,

- la figura 5 illustra sotto forma di uno schema a blocchi, una prima forma realizzativa di un'architettura operante secondo l'invenzione,

- la figura 6 illustra una seconda forma realizzativa di un'architettura operante secondo l'invenzione,

- la figura 7 illustra una terza forma realizzativa di un'architettura operante secondo l'invenzione,

- la figura 8 illustra il dettaglio di un circuito di memoria impiegato nell'architettura operante secondo l'invenzione.

Descrizione particolareggiata di un esempio di attuazione dell'invenzione

La soluzione in questione è basata sul reimpiego di circuiti previsti per l'implementazione del primo passo della procedura di cell search, in particolare sul reimpiego del filtro FIR adattato per il canale primario PSC, nei circuiti che implementano il secondo passo della procedura di cell search.

Poiché il secondo passo della procedura di cell search si attiva dopo l'acquisizione di un minimo di sincronizzazione di slot nel primo passo,

sincronizzazione che è esatta per la modalità TDD e con tolleranza per la modalità FDD, la circostanza permette di inviare i campioni del segnale ricevuto, a partire dall'istante stimato di inizio del codice secondario di sincronizzazione SSC, ai registri di memoria componenti il filtro FIR impiegato nel secondo passo.

E' perciò possibile impiegare come filtro FIR adattato il medesimo filtro per il canale primario PSC e, dopo che tutti i campioni afferenti al generico codice di sincronizzazione SSC sono stati memorizzati, è possibile aggiornare i pesi del filtro FIR in modo tale da operare la correlazione fra i campioni ricevuti e il generico codice SSC desiderato.

Poiché sia per la modalità FDD, sia per la modalità TDD, occorre effettuare più correlazioni, si possono impiegare tecniche parallele (tante maschere di pesi quanti sono i codici secondari SSC con i quali si vogliono correlare i campioni ricevuti) o seriali (una sola maschera, i cui pesi sono aggiornati in sequenza).

Inoltre la soluzione qui descritta prevede anche di suddividere il filtro FIR in due filtri, in modo che, per passare da un codice secondario SSC all'altro, occorre solo cambiare i sedici pesi del secondo filtro, che corrispondono alla moltiplicazione, elemento per elemento, di un codice Hadamard di lunghezza sedici per un'opportuna sequenza di Golay come descritto nello standard.

Con il filtro suddiviso in un primo e un secondo filtro, per i pesi del primo filtro è sufficiente attuare un'inversione di segno su otto di detti pesi per passare dalla prima sequenza di Golay per il canale PSC alla prima sequenza di Golay per il codice SSC, come si può verificare facilmente dallo standard.

Inoltre i pesi del secondo filtro possono essere generati in parallelo tramite un opportuno generatore di codici.

5 In figura 5 è presentata una prima forma realizzativa relativa a un'architettura parallela per implementare la sezione di correlazione in modalità FDD.

Il segnale ricevuto r viene inviato in ingresso a un primo filtro adattato FIR 210, il quale comprende 10 sedici registri e un numero corrispondente di prese di uscita. Detto primo filtro 210 riceve in ingresso anche una prima sequenza di Golay SG1 per il codice secondario SSC, in modo da poter eseguire il filtraggio come sopra descritto.

15 Il segnale così filtrato attraverso il primo filtro 210 viene inviato a un secondo filtro 220, anch'esso un filtro FIR dotato di duecentoquaranta registri e sedici uscite. Il funzionamento di detto secondo filtro 220 è pilotato da un segnale di abilitazione e arresto ENS, che opera parimenti sul primo filtro 210, per abilitare la memorizzazione nei filtri del segnale ricevuto r , per la successiva operazione di correlazione con i codici secondari SSC.

20 Il primo filtro 210 e il secondo filtro 220 costituiscono insieme un filtro adattato corrispondente al filtro 401 per il canale primario PSC di figura 1, che viene reimpiegato per realizzare anche la sezione di correlazione del secondo passo della procedura di cell search, all'istante temporale nel quale riceve la 25 sequenza di Golay SG1 per i codici secondari SSC e il segnale di abilitazione ENS.

Il secondo filtro 220 fornisce quindi in uscita un segnale di correlazione SC a sedici bit, a ciascuna di 30 sedici maschere di pesi appartenenti a un blocco di maschere 230, che corrisponde sostanzialmente al blocco

22 di figura 1. I pesi per dette maschere 230 sono costituiti da una seconda sequenza di Golay per i codici di sincronizzazione SSC.

In figura 6 è presentata una seconda forma
5 realizzativa relativa un'architettura seriale per implementare la sezione di correlazione in modalità FDD.

Il segnale ricevuto r viene inviato in ingresso al primo filtro adattato FIR 210 che riceve in ingresso
10 anche la prima sequenza di Golay SG1 per il codice SSC. Al primo filtro 210 segue il secondo filtro 220, entrambi detti filtri essendo pilotati dal segnale di abilitazione e arresto ENS.

Il secondo filtro 220 fornisce quindi in uscita il
15 segnale di correlazione SC a sedici bit a una maschera 231, atta ad applicare i pesi relativi a ciascun codice secondario SSC. Detta maschera 231 riceve infatti il codice secondario SSC al quale applicare il peso da un opportuno generatore di codici 233 che fornisce le
20 seconde sequenze a 16 chip per i codici secondari SSC, pilotato a sua volta da un contatore a sedici valori 232, che gli fornisce un numero SSCN del codice secondario SSC da correlare.

Sia il contatore 232, sia il generatore di codici
25 233 sono inoltre controllati da un segnale di abilitazione EN.

A valle della maschera 231 è previsto un circuito demultiplatore 234, pilotato tramite il numero SSCN del codice secondario, che fornisce in uscita le sedici
30 correlazioni ai circuiti che completano il secondo passo della cell search.

Circuiti analoghi a quelli impiegati per la sezione di correlazione nella modalità FDD seriale e parallela e mostrati in figura 4 e 5 possono essere
35 impiegati per la sezione di correlazione in modalità

TDD, sostituendo sostanzialmente il blocco 20 di figura 2.

In figura 7 è invece mostrato una sezione di correlazione atta a essere associata al circuito di figura 4, cioè un circuito per la modalità TDD che si avvale della particolare divisione in code set dei codegroup.

Il segnale ricevuto r viene inviato in ingresso al primo filtro adattato FIR 210 che riceve in ingresso anche la prima sequenza di Golay SG per il codice secondario SSC. Al primo filtro 210 segue il secondo filtro 220, entrambi detti filtri essendo pilotati dal segnale di abilitazione e arresto ENS.

Il secondo filtro 220 fornisce quindi in uscita il segnale di correlazione SC a sedici bit a un blocco 311 comprendente quattro maschere, ciascuna corrispondente a uno dei quattro code set previsti dallo standard per la modalità TDD.

L'uscita a sedici bit del secondo filtro viene inoltre fornita a un blocco 317 atto a rilevare i due codici secondari SSC appartenenti al code set identificato come descritto in relazione a figura 3. Detto blocco 317 comprende perciò una maschera 312 per il secondo codice secondario SSC appartenente al code set e a una maschera 313 per il terzo codice secondario SSC componente il code set identificato, nonché il generatore di codici 233 per pilotare dette maschere 312 e 313.

* Il blocco 317 viene abilitato al funzionamento, come accennato, dopo l'identificazione del code set, per definire le fasi dei due rimanenti codici SSC del code set.

Si noti che nelle realizzazioni di figura 5, 6, e 7 il secondo filtro 220 può essere attivato solo in parte, qualora l'uscita del primo filtro 210 fosse

campionata ogni sedici chip dall'inizio dell'esecuzione del secondo passo della procedura di cell search. In tal caso, infatti, occorrerebbero solo sedici elementi di memoria che potrebbero ricavarsi dalla struttura 5 originaria di detto secondo filtro 220, secondo lo schema ridotto illustrato in figura 7.

In detto schema si può osservare che la memoria è strutturata come una serie di elementi comprendenti un elemento di memoria M in serie a un demultiplatore 321, 10 il quale è provvisto di due uscite, una connessa direttamente al primo ingresso di un multiplatore 320, l'altra connessa a detto multiplatore 320 attraverso una cascata MC di elementi di memoria M, in numero di quindici. L'uscita dell'elemento di memoria M a monte 15 di ciascun demultiplatore 321 costituisce la presa di uscita.

Il multiplatore 321 e il demultiplatore 320 sono controllati da un segnale di selezione S, il quale permette di far transitare o no il segnale ricevuto r 20 attraverso le cascate MC di elementi di memoria, utilizzandole per il filtraggio del segnale r. Se il segnale di selezione S vale zero, ad esempio, si avrà la struttura completa per il filtraggio nell'ambito del primo passo della procedura di cell search, mentre se 25 il segnale di selezione S vale 1 sarà possibile bypassare delle cascate MC di elementi di memoria M e ottenere una struttura ridotta, più adatta all'esecuzione del secondo passo della procedura di cell search.

30 La soluzione appena descritta consente di conseguire notevoli vantaggi rispetto alle soluzioni note.

Il circuito generato risulta infatti notevolmente più piccolo rispetto alle architetture note.

In particolare, vantaggiosamente, si ottiene una riduzione in termini di hardware e di area ingombrata sul chip, del quale si fornisce qui un esempio dei vantaggi in termini di memoria richiesta rispetto alle 5 architetture note indicate nelle figure 2, 3 e 4.

Per dette architetture necessitano infatti 17 correlatori e un filtro FIR adattato alla sequenza PSC nel caso della modalità FDD, mentre per la modalità TDD, nel migliore dei casi, necessitano 2 correlatori e 10 un filtro FIR adattato alla sequenza PSC.

La soluzione proposta necessita invece di un unico filtro FIR, il quale durante l'esecuzione del secondo passo della procedura di cell search cambia i suoi pesi in modo da poter eseguire tutte le correlazioni con 15 tutti i possibili codici secondari SSC, mantenendo in memoria i dati acquisiti oppure inviando l'uscita delle sue prese intermedie a un opportuno insieme di maschere.

Un ulteriore vantaggio è costituito dal fatto che 20 le prese del filtro FIR per eseguire le correlazioni necessarie si possono ottenere rapidamente tramite l'impiego di un generatore parallelo di codici OVSF/Walsh-Hadamard del tipo descritto, ad esempio in US-2002-0080856 o nella domanda di brevetto italiano 25 TO2002A000836.

La quantità di memoria necessitata dalla soluzione proposta rimane pressoché invariata. Nel caso seriale, l'impiego del generatore di codici parallelo permette di evitare il ricorso a una tabella di look-up o 30 l'adozione della piccola memoria associata ai generatori seriali anteriori. Il risparmio di memoria sulla tabella di look-up è di 256 bit per la modalità FDD e di 192 bit per la modalità TDD, mentre il risparmio di memoria rispetto ai generatori seriali 35 anteriori è di 32 bit.

Vantaggiosamente, la soluzione proposta permette inoltre una notevole riduzione di potenza consumata.

Infine, vantaggiosamente, il banco di memoria 112 di figura 3 può essere ricavato anch'esso dalla memoria 5 allocata per il secondo filtro FIR, come indicato in figura 7.

Naturalmente, fermo restando il principio dell'invenzione, i particolari di realizzazione e le forme di attuazione potranno essere ampiamente variati 10 rispetto a quanto descritto ed illustrato, senza per questo uscire dall'ambito della presente invenzione, così come definita dalle rivendicazioni annesse.

RIVENDICAZIONI

1. Procedimento per realizzare, in funzione di un segnale ricevuto (r), la sincronizzazione di frame ed identificare il gruppo dei codici di cella (codegroup)
5 in un sistema di comunicazione cellulare che utilizza una pluralità di codici di sincronizzazione (SSC), detto procedimento essendo preceduto in un primo intervallo temporale da una procedura di sincronizzazione di slot comprendente un'operazione di
10 correlazione di detto segnale ricevuto (r) con una sequenza primaria (SG) per ottenere corrispondenti valori di energia, detta operazione di correlazione essendo eseguita inviando detta sequenza primaria ad almeno un correlatore (401;210,220), il procedimento
15 comprendendo l'operazione di correlare detto segnale ricevuto (r) con almeno alcuni di detti codici di sincronizzazione (SSC) per ottenere corrispondenti valori di energia di sincronizzazione,
caratterizzato dal fatto che comprende l'
20 operazione di correlare detto segnale ricevuto (r) con almeno alcuni di detti codici di sincronizzazione inviando in un secondo intervallo temporale una sequenza secondaria (SG1,SG2) relativa ai codici di sincronizzazione (SSC) a detto almeno un correlatore
25 (210,220) impiegato in detto primo intervallo temporale per la procedura di sincronizzazione di slot.
2. Procedimento secondo la rivendicazione 1, caratterizzato dal fatto che comprende l'operazione di abilitati al funzionamento detto almeno un correlatore (210,220) tramite un segnale di abilitazione (EN) emesso (403) in detto secondo intervallo temporale.
3. Procedimento secondo la rivendicazione 2 caratterizzato dal fatto che comprende le operazioni di:

- organizzare detta sequenza secondaria (SG1, SG2) in una prima parte di sequenza secondaria (SG1) e in una seconda parte di sequenza secondaria (SG2),
 - 5 - suddividere detti mezzi di correlazione (210, 220) in un primo filtro (210) e un secondo filtro (220), e
 - inviare a detto primo filtro (210) ed a detto secondo filtro (220) detta prima (SG1) e detta 10 seconda (SG2) parte di sequenza secondaria.
- 15 4. Procedimento secondo la rivendicazione 3, caratterizzato dal fatto che comprende l'operazione di passare dalla correlazione di un codice secondario (SSC) ad un altro cambiando valori della sola seconda parte di sequenza secondaria (SG2) inviata al secondo filtro (220).
- 20 5. Procedimento secondo una delle rivendicazioni 3 o 4, caratterizzato dal fatto che comprende l'operazione di attuare sul primo filtro (210) attuata un'inversione di segno su un insieme dato dei pesi costituenti la sequenza primaria (SG), onde passare da detta sequenza primaria (SG) a alla prima sequenza secondaria (SG1) per i codici di sincronizzazione secondaria (SSC).
- 25 6. Dispositivo per realizzare, in funzione di un segnale ricevuto (r), la sincronizzazione di frame ed identificare il gruppo dei codici di cella (codegroup) in un sistema di comunicazione cellulare che utilizza una pluralità di codici di sincronizzazione (SSC) e che 30 comprende inoltre almeno un correlatore primario (401;210, 220) che riceve detto segnale ricevuto (r) e una sequenza primaria (SG) per realizzare una sincronizzazione di slot su un canale primario (PSC), il dispositivo comprendendo inoltre almeno un 35 correlatore secondario (404;210,220) per correlare

detto segnale ricevuto (r) con almeno alcuni di detti codici di sincronizzazione contenuti in una sequenza secondaria (SG1,SG2) per ottenere corrispondenti valori di energia, detto dispositivo comprendendo inoltre
5 un'unità di determinazione di valori di energia (16;21;114) per ricercare, fra detti valori di energia, almeno un valore massimo, identificando, in funzione di detto almeno un valore massimo, un numero dato di detti codici di sincronizzazione e un modulo di elaborazione
10 (18;22;115) per realizzare detta sincronizzazione di frame ed identificare detto gruppo dei codici di cella (codegroup) sulla base di detto numero dato di detti codici di sincronizzazione, caratterizzato dal fatto che detto almeno un correlatore primario (401) e detto
15 almeno un correlatore secondario (210, 220) sono almeno in parte costituiti da un unico correlatore.

7. Dispositivo secondo la rivendicazione 6, caratterizzato dal fatto che comprende un modulo di controllo (403) per inviare segnali di abilitazione
20 (EN,ENS) atti a controllare in commutazione detto almeno un correlatore primario (210,220) per operare selettivamente su una fra detta sequenza primaria (SG) e detta sequenza secondaria(SG1,SG2).

8. Dispositivo secondo la rivendicazione 7,
25 caratterizzato dal fatto che comprende, quale detto correlatore, un primo filtro adattato (210) seguito da un secondo filtro adattato (220) in serie.

9. Dispositivo secondo la rivendicazione 8,
caratterizzato dal fatto che a valle di detto
30 correlatore (210, 220) è disposto un insieme di circuiti di mascheratura (230;231;311,312,313)

10. Dispositivo secondo la rivendicazione 9,
caratterizzato dal fatto che l'insieme di circuiti di mascheratura comprende una pluralità di maschere in

parallelo, una per ogni uscita del secondo filtro (220).

11. Dispositivo secondo una delle rivendicazioni 9 a 10, caratterizzato dal fatto che l'insieme di circuiti di mascheratura comprende una maschera (231) che riceve le uscite del secondo filtro e che detta maschera (231) è atta a cambiare i valori dei propri pesi sotto il controllo di un generatore di codici (233).
- 10 12. Dispositivo secondo una qualsiasi delle precedenti rivendicazioni 9 a 11, caratterizzato dal fatto che l'insieme di circuiti di mascheratura comprende un primo insieme di maschere (311) corrispondenti ad un rispettivo insieme di code set e 15 detto insieme di circuiti di mascheratura comprende inoltre un blocco (317;312;313) per ottenere le parole corrispondenti ai restanti codici di sincronizzazione appartenenti al sottoinsieme identificato dal modulo di elaborazione (114).
- 20 13. Dispositivo secondo una qualsiasi delle precedenti rivendicazioni da 8 a 12, caratterizzato dal fatto che detto secondo filtro (220) comprende una pluralità di catene di elementi di memoria (MC), dette catene di elementi di memoria (MC) essendo disposte in 25 serie ed essendo previsti mezzi di selezione (320, 321) per rimuovere da detta serie uno o più di dette catene di elementi di memoria (MC) al fine di realizzare un filtro con struttura ridotta.
14. Dispositivo secondo una qualsiasi delle 30 precedenti rivendicazioni 6 a 13, configurato per ricevere segnale conforme allo standard 3GPP modalità FDD.
15. Dispositivo secondo una qualsiasi delle precedenti rivendicazioni 6 a 13, configurato per

ricevere segnale conforme allo standard 3GPP modalità TDD.

16. Dispositivo secondo una qualsiasi delle rivendicazioni 6 a 15, compreso in un ricevitore per un sistema di telecomunicazioni basato su uno standard compreso nel gruppo costituito da 3 GPP FDD, 3 GPP TDD UMTS, CDMA2000, IS95, WCDMA.

17. Prodotto informatico direttamente caricabile nella memoria di un elaboratore numerico e comprendente porzioni di codice software per attuare il procedimento secondo una qualsiasi delle rivendicazioni da 1 a 5 quando il prodotto è eseguito su un elaboratore.

RIASSUNTO

Si opera in un primo passo la sincronizzazione di slot, ponendo in correlazione (210,220) il segnale ricevuto (r) con una sequenza primaria (SG) rappresentativa del canale primario (PSC) e memorizzando detto segnale ricevuto. Durante un secondo passo lo stesso correlatore (210,220) è reimpiegato per correlare il segnale ricevuto (r) con una sequenza secondaria (SSC) relativa ai codici di sincronizzazione secondaria. Il correlatore (210) è preferibilmente strutturato sotto forma di un primo filtro (210) e di un secondo filtro (220) in serie che ricevono una prima sequenza secondaria (SG1) e una seconda sequenza secondaria (SG2), tipicamente costituite da sequenze di Golay. Sono proposte architetture di tipo parallelo e seriale, nonché architetture atte a reimpiegare ulteriori parti di circuito. Applicazione preferenziale nei sistemi di comunicazione mobile basati su standard quale UMTS, CDMA2000, IS95 o WBCDMA.

20 (Figura 5).

JJ

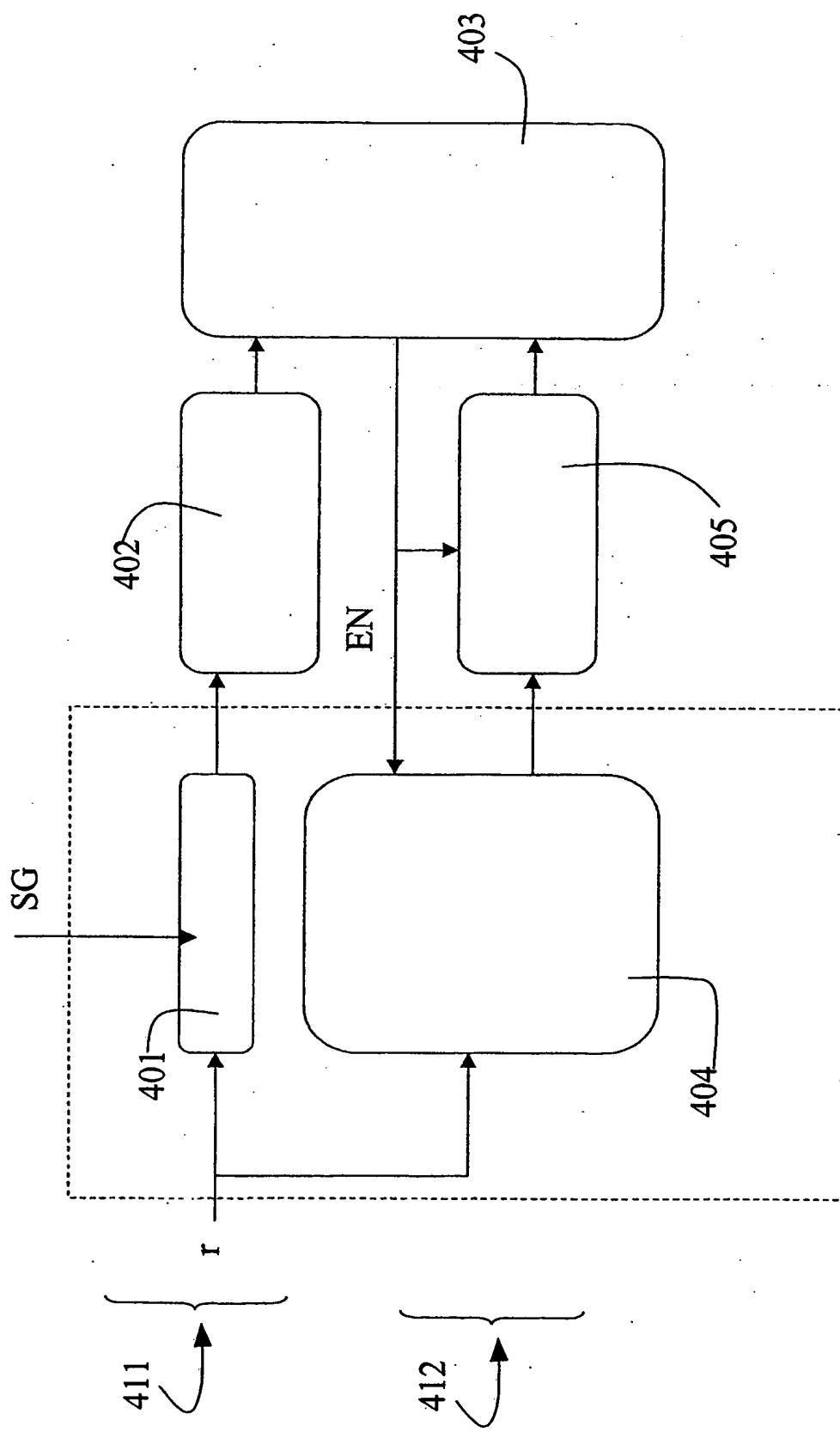


Fig. 1

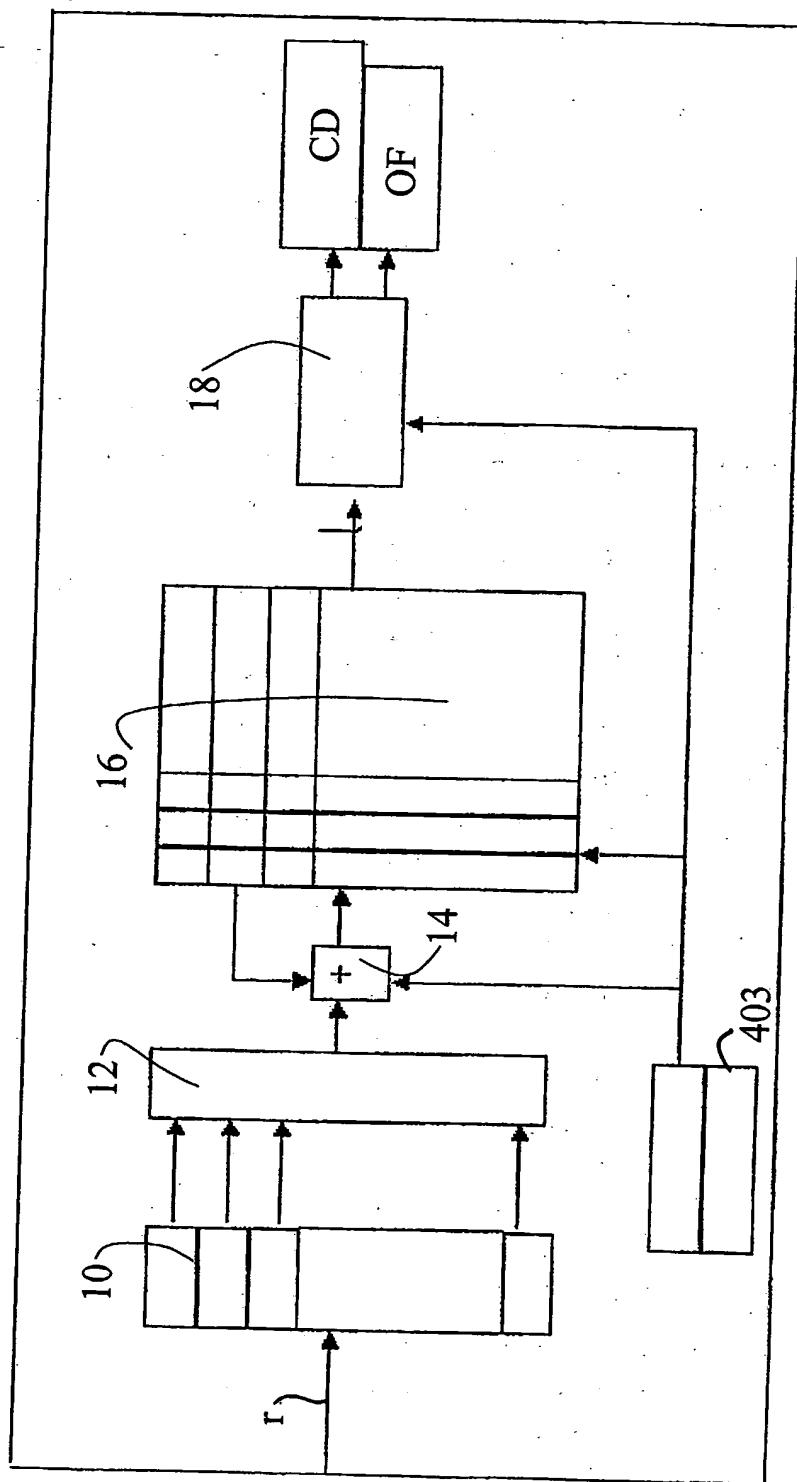
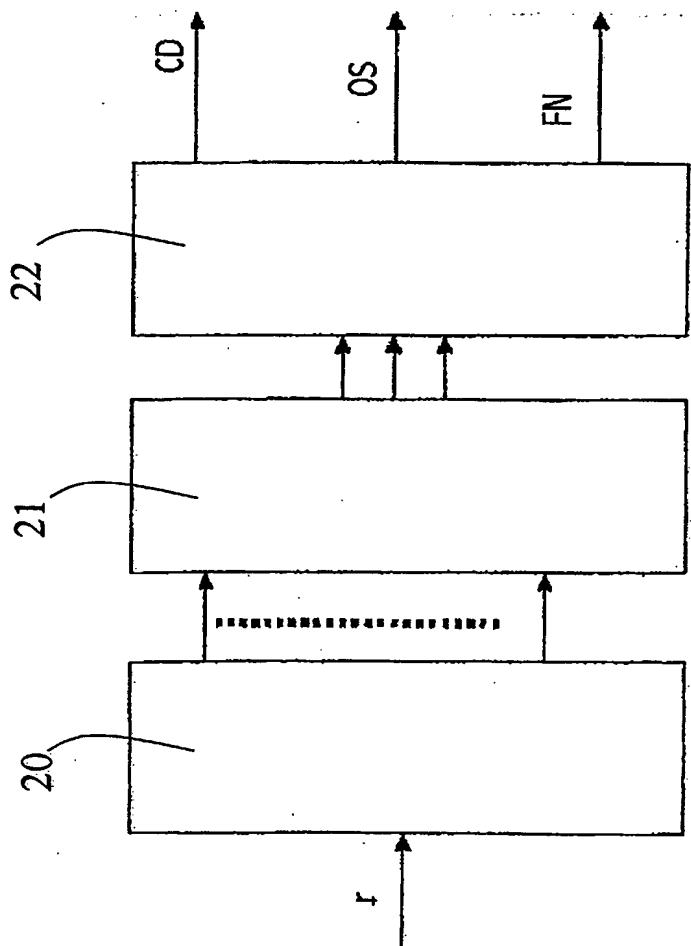


Fig. 2

Fig. 3



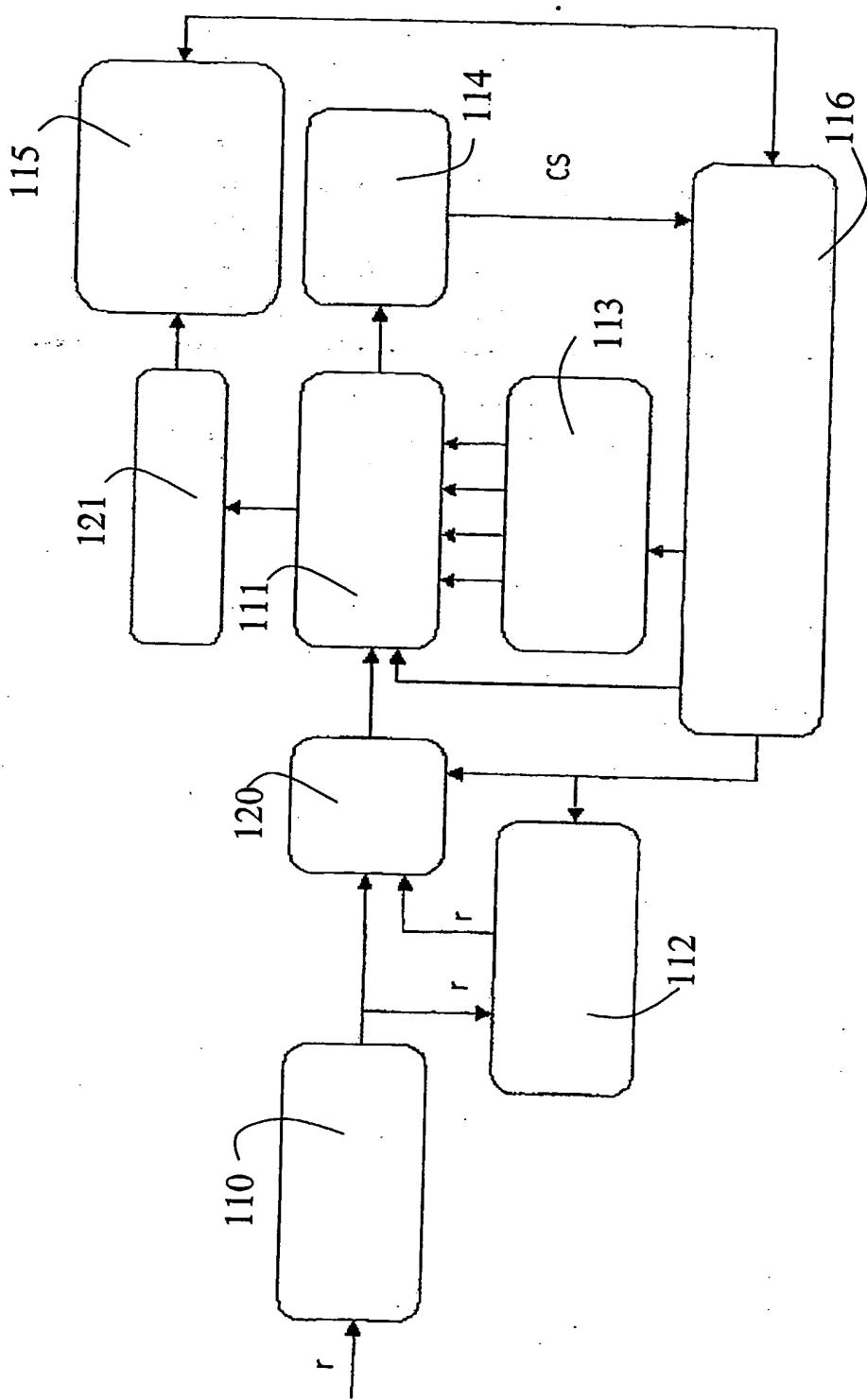


Fig. 4

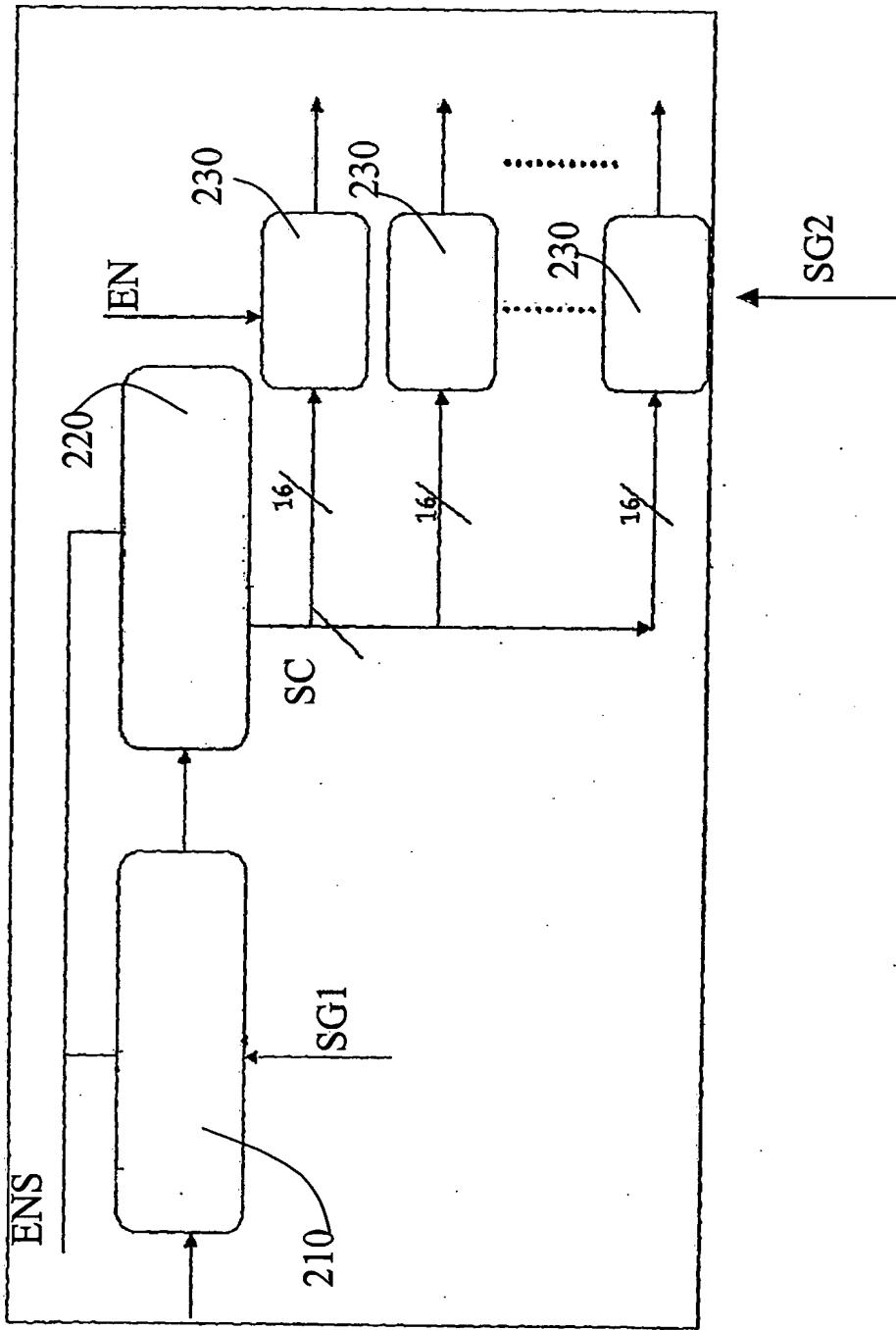


Fig. 5

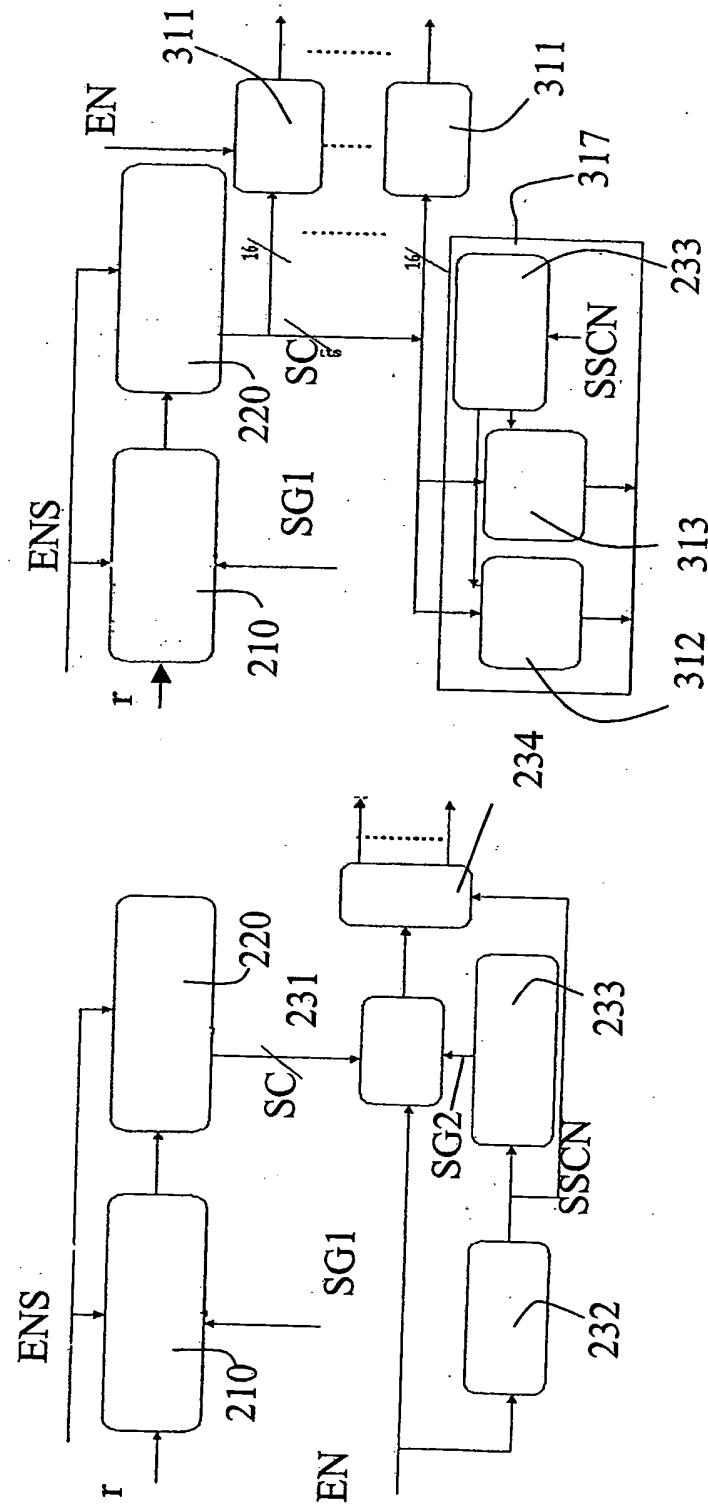


Fig. 6

Fig. 7

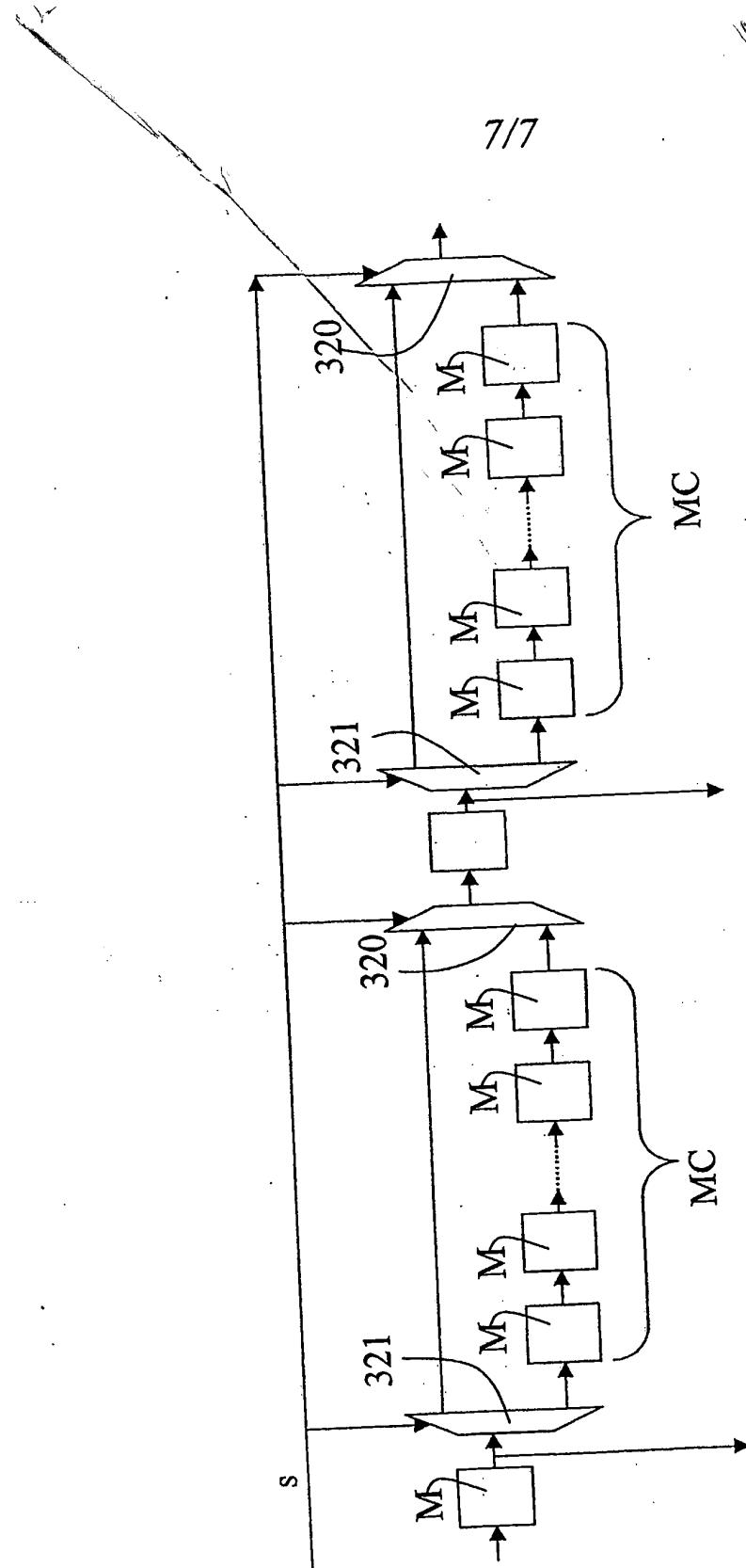


Fig. 8

BEST AVAILABLE COPY

GE BLANK (USPTO)